**Estilos De mares de compuertas**

En la arquitectura de mares de compuertas, las macroceldas están compuestas por la repetición de los límites de las celdas básicas horizontal o verticalmente en un enfoque RMC (filas de macroceldas) o CMC (Columnas de macroceldas) hasta que hayan suficientes celdas reunidas. El término macrocelda se refiere grandes celdas con una función lógica cuya forma y área se debe considerar en la ubicación de las celdas en el arreglo.

La arquitectura RMC (filas de macroceldas)

La celda básica está representada por un par vertical de pares de transistores. (Fig 3.a). La macrocelda en esta arquitectura se implementa repitiendo la celda básica en dirección horizontal hasta que hayan suficientes compuertas distribuidas dentro de la macrocelda. Las celdas primitivas (Por ejemplo las compuertas NAND, XOR, etc), que se ponen cerca para crear macroceldas, no tienen suficiente alimentación directa para crear conexiones entre celdas y así garantizan la enrutabilidad de los circuitos.

Una desventaja de las filas de macroceldas es la distribución de potencia entre las macroceldas, lo que genera dificultades en el enrutamiento.

Para incrementar el uso de compuertas se requiere aumentar el número de caminos en cada celda primitiva. La disposición de celdas grandes como las memorias está limitada a estar entre los buses de alimentación.

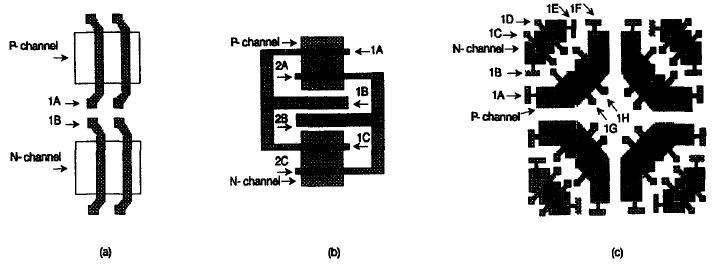
La arquitectura CMC (columnas de macroceldas)

Por otra parte en la arquitectura de columnas las celdas básicas pueden tener diferentes tamaños y arreglos de transistores p y n. El número de transistores debe escogerse de tal forma que permita una rápida implementación de las compuertas en la librería del sistema.

En este enfoque las macroceldas se crean uniendo las celdas básicas verticalmente hasta que hayan suficientes compuertas para crear una macrocelda determinada. Debido a la regularidad de la distribución de las celdas básicas en el dado de silicio es posible tener una buena distribución de energía en malla.

Los canales de alambrado se prolongan verticalmente entre las compuertas, proporcionando el número de caminos requeridos para el enrutamiento. A diferencia de la arquitectura RMC, el grosor de los canales puede cambiar ligeramente por el ancon de una columna de transistores pn para así eliminar silicio sobrante y aumentar el uso de las compuertas en el circuito.

Una arquitecura alternativa.

Aunque las arquitecturas anteriores usan aislamiento de compuerta, la idea de un diseño sin canales no está implementada en un 100%. Otra arquitectura ofrece más flexibilidad en el diseño con una estructura de macroceldas orientadas vertical y horizontalmente sin restricción en el enrutamiento del suministro de potencia debido a que está distribuido a lo largo del circuito usando una segunda capa de metal cuando sea necesario. En esta arquitectura el enfoque de la compuerta aislada puede ser mejor aprovechado porque hay una secuencia continua de transistores sin límites para todas las macroceldas.

Sin tener en cuenta las ventajas y desventajas de las arquitecturas en mar de compuertas, el buen resultado del diseño final depende críticamente de los algoritmos usados para el particionamiento, la colocación y el enrutamiento de los circuitos y el número de capas de metal disponibles.

Micro Arquitecturas y macro arquitecturas.

En términos de la estructura interna de las celdas básicas y su distribución en el silicio, los mares de compuertas pueden ser organizados jerárquicamente en dos grupos.

Microarquitecturas

Este nivel describe las características internas de las celdas básicas que son usadas para construir la estructura total del arreglo. Las celdas básicas son una combinación de un cierto número de transistores n y p conectados en diferentes configuraciones de acuerdo con la tecnología adoptada.

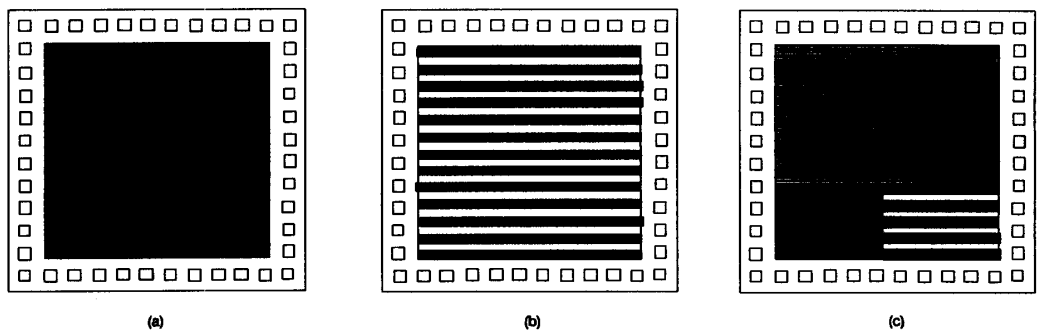
Un buen ejemplo de una estructura simple en mar de compuertas usa aislamiento de compuerta en un proceso CMOS de 1,6 µm con dos capas de metal para el enrutamiento. Como se muestra en la parte a de la figura cada celda básica está compuesta por un par de transistores usando una configuración tradicional donde los transistores están colocados horizontalmente creando una fila continua de transistores con las compuertas posicionadas verticalmente.

Existen nuevas microarquitecturas con otras opciones de diseño para el enfoque en mar de compuertas, como la imagen intercalada. Esta arquitectura presenta una configuración básica compuesta por cuatro arreglos de compuertas CMOS con doble capa metálica, donde las regiones fuente-drenador de los canales p y n y las compuertas son colocadas en paralelo como se muestra en la parte b de la figura. El paralelismo facilita la interconección entre celdas a través de líneas rectas sobre las celdas sin cambiar la dirección del metal, de esta forma se usa sólo una capa metálica. Comparado con una arquitectura de celdas en un mar de compuertas convencional los canales n y p son ligeramente más anchos en la dirección horizontal y las compuertas de polisilicio no son verticales. La arquitectura intercalada busca ofrecer una buena respuesta a los circuitos grandes y densos con un porcentaje alto de uso, por lo menos 70% de los recursos de enrutamiento para el enrutamiento global.

Otra poderosa arquitectura en mar de compuertas es la imagen de octágono. Esta arquitectura presenta una estructura regular y simétrica donde los transistores no son ordenados enteramente en una secuencia horizontal o vertical, sino distribuidos simétricamente como en un octágono. Las celdas en esta estructura también pueden ser reflejadas sobre el eje de 45°. Se cambian tres capas de metal en un proceso CMOS de 0.8en un proceso CMOS de 0.8µm. Como se muestra en la parte c de la figura cada celda básica está compuesta por cuatro grupos de cuatro pares de transistores posicionados simétricamente.

Macro arquitecturas

Es el siguiente nivel más alto, aquí las macroceldas se crearán como una combinación de celdas básiscas. Se caracterizan por número de celdas básicas usadas para construir la macro arquitectura y la distribución de funciones.



La macroarquitectura se divide en tres grupos:

* Distribución uniforme: En este enfoque la función de distribución se combina con una o más celdas básicas para construir todas las celdas funcionales posibles en el arreglo (Parte a de la figura).
* Función de distribución en canal: Este estilo es similar a la tecnología anterior de arreglo de compuertas. (Parte b de la figura) Los canales fueron definidos para mantener el enrutamiento. Este tipo de arquitectura usa una o más celdas básicas en la función de distribución.
* Función de distribución en bloques: Ampliamente usado. En este enfoque las funciones de distribución son usadas casi siempre como una combinación de una o más celdas básicas (Parte c de la figura) las celdas básicas podrían ser usadas para implementar diferentes funciones como de memoria, circuitos analógicos, etc.

Debido al uso de más de una celda básica en una función de distribución, la aplicabilidad de las arquitecturas micro y macro se limita un poco, afectando la flexibilidad en la colocación de las celdas funcionales en el arreglo. Otras arquitecturas usan una celda básica simple para generar todas las macro arquitecturas sin canales de enrutamiento. Este enfoque permite la implementación de diferentes estilos de diseño soportando, por ejemplo, librerías estáticas y dinámicas al igual que circuitos analógicos en un ambiente homogéneo. Así el diseñador tiene la capacidad de construir circuitos en una estructura regular, colocando bloques lógicos aleatorios en el arreglo.

Estas nuevas arquitecturas y la evolución de las herramientas de diseño asistido por computadora han motivado un incremento masivo en el uso de diseño basado en celdas básicas usando mares de compuertas. Normalmente un diseñador puede escoger celdas funcionales de complejidad variada, predefinidas y caracterizadas en las librerías del sistema. Esas librerías contienen diferentes estilos de diseño:

* Celdas estándar: Se pueden comparar éstas con las familias tradicionales CMOS como la 74C00. Sin embargo más que seleccionar dispositivos empacados por catálogo, éstos fueron escogidos de las librerías software en un sistema de diseño asistido por computador y colocados en una oblea de silicio en vez de una placa de circuito impreso. Otras combinaciones lógicas pueden ser suministradas para optimizar la integración de los circuitos.
* Celdas generales: Estas celdas usualmente involucran una estructura muy regular generada por software en diferentes tamaños de acuerdo con la necesidad de los circuitos. Ejemplos de esta clase de celdas son las RAMs, las ROMs, las PLAs, multiplexores, sumadores, entre otros.
* Megaceldas: Son macroceldas grandes sin parametrizar. Como los microprocesadores o los conversores análogo digitales.

**Ejemplos de aplicación**

**10K gate GaAs JFET Sea of gate**

La celta básica está compuesta de 4 FETs con una compuerta de 8µm de ancho, 2 diferentes resistencias y líneas de Vdd y GND.

El ancho de línea mínimo/espacio son 2µm/2µm. El tamaño mínimo del agujero cuadrado pasante es de 2µm para el contacto entre el metal óhmico y la primera interconexión de metal, y el cuadrado de 1,5µm para el contacto entre los metales que hay nivel de interconexión.

El diseño DCFL (Direct Coupled FET Logic) de 4 compuertas NOR y su esquema equivalente se muestran en la Figura 3.



Figura 3. Diseño de 4 compuertas NOR con sus barrajes de Vss y GND, y su esquemático.

La celda básica tiene un área de 24µm\*80µm. La resistencia de carga para los circuitos DCFL es seleccionada de 900Ω con el fin de lograr un consumo de energía de menos de 0.5mW/puerta con Vdd = 1.0V y un margen de ruido de más de 150 mV con el mínimo retrasó en la puerta.

Existen 4 diferentes tipos de Sea of Gate para los circuitos integrados los cuales se encuentran en la Tabla I. organizada dependiendo de la escala requerida para el circuito.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tamaño del Arreglo | 50 | 1K | 3K | 10K |
| Puertas Totales |  |  |  |  |
| DCFL | 60 | 1440 | 3600 | 11880 |
| SCFL | 6 | 180 | 450 | 1485 |
| Celdas I/O | 6 | 28 | 44 | 80 |
| Total de Pads | 36 | 80 | 112 | 192 |
| Tamaño del Chip (min\*max) | 1.68\*1.44 | 2.88\*2.88 | 3.84\*3.84 | 6.24\*6.24 |

**Tabla I.** Estadísticas de un arreglo de puertas.

5. Ejemplos de aplicación. (para esto usar los papers en la carpeta "mas"). Aquí la idea sería hacer una descripción breve, y, sí está descrito, mencionar las ventajas de la implementación con mares de compuertas respecto a otras formas de fabricación - Array con mar de compuertas de 10 k con JFET de GaAs - Implementación de circuitos analógicos OPAMP y conversor DA. - Procesador MIPS 16 bit-RISC - FPGA - Microcontrolador de 8 bit - Software para el diseño de layouts de mares de compuertas